

Ref. 2

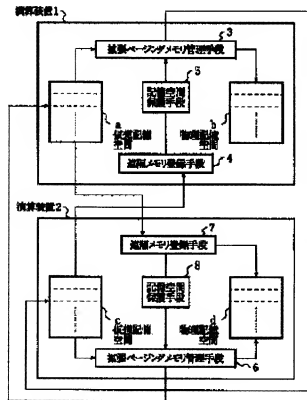
MEMORY MANAGEMENT SYSTEM FOR MULTIPROCESSOR SYSTEM

Publication number: JP6348658
 Publication date: 1994-12-22
 Inventor: SHIMAJIRI TAKUMI
 Applicant: NIPPON ELECTRIC CO
 Classification:
 - international: G06F15/16; G06F15/16; (IPC1-7): G06F15/16
 - european:
 Application number: JP19930133050 19930603
 Priority number(s): JP19930133050 19930603

Report a data error here

Abstract of JP6348658

PURPOSE: To deal with a large-scaled multiprocessor system by effectively using the physical storage spaces. **CONSTITUTION:** In a memory control system used for a multiprocessor system, the extended paging memory control means 3 and 6 divide the virtual storage spaces (a) and (c) and the physical storage spaces (b) and (d) of the arithmetic units 1 and 2 in each fixed length to secure the correspondence between the virtual and physical storage spaces by means of the conversion tables for each fixed length and also to secure the correspondence between the virtual storage spaces and those of other arithmetic units as well. Then the remote memory register means 4 and 7 register the virtual storage spaces of other arithmetic units in the conversion tables via the means 3 and 6 so as to allocate those storage spaces of other arithmetic units to the virtual storage spaces of their own arithmetic units. Furthermore the storage space protecting means 5 and 8 register the attributes of the virtual storage spaces themselves when the virtual storage spaces are registered in the conversion tables which are used by both means 3 and 6.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-348658

(43) 公開日 平成6年(1994)12月22日

(51) IntCl.⁵

G 0 6 F 15/16

識別記号

3 2 0 G 7429-5L

庁内整理番号

F I

技術表示箇所

審査請求 有 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願平5-133050

(22) 出願日 平成5年(1993)6月3日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 島尻 匠

東京都港区芝五丁目7番1号 日本電気株

式会社内

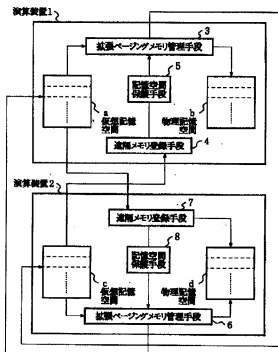
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 マルチプロセッサシステムにおけるメモリ管理方式

(57) 【要約】

【目的】 物理的記憶空間を有効に活用することによって、大規模マルチプロセッサシステムに対応できるようにする。

【構成】 演算装置1, 2の仮想記憶空間a, c及び物理記憶空間b, dを固定長の大きさに分割し、固定長単位に変換表を用いて仮想記憶空間と物理記憶空間との対応をとると共に仮想記憶空間と他の演算装置の仮想記憶空間との対応をとる拡張ページングメモリ管理手段3, 6と、他の演算装置の仮想記憶空間を自らの演算装置の仮想記憶空間の割り付けるよう前記ページングメモリ管理手段3, 6を用いて変換表に登録する沿革メモリ登録手段4, 7と、ページングメモリ管理手段で3, 6で使用する変換表に仮想記憶空間を登録する際に仮想記憶空間の属性と共に仮想記憶空間を登録する記憶空間保護手段5, 8を含むことを特徴とするマルチプロセッサシステムにおけるメモリ管理方式。



1

【特許請求の範囲】

【請求項1】 仮想記憶機構を有するマルチプロセッサシステムの各演算装置に、

演算装置の仮想記憶空間及び物理記憶空間を固定長の大きさに分割し、固定長単位に変換表を用いて前記仮想記憶空間と前記物理記憶空間との対応をとると共に前記仮想記憶空間と他の演算装置の仮想記憶空間との対応をとるページングメモリ管理手段と、

他の演算装置の仮想記憶空間を自らの演算装置の仮想記憶空間に割り付けるように前記ページングメモリ管理手段を用いて前記変換表に登録する連隔メモリ登録手段と、

前記ページングメモリ管理手段で使用する前記変換表に前記仮想記憶空間に登録する際に前記仮想記憶空間の属性と共に前記仮想記憶空間に登録する記憶空間保護手段を含むことを特徴とするマルチプロセッサシステムにおけるメモリ管理方式。

【請求項2】 前記対応をページングメモリ手段に設けたページングテーブルによって行うことを特徴とする請求項1記載のマルチプロセッサシステムにおけるメモリ管理方式。

【請求項3】 前記属性が読みだし許可ビットと書き込み許可ビットで表現されることを特徴とする請求項1記載のマルチプロセッサシステムにおけるメモリ管理方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はマルチプロセッサシステムにおけるメモリ管理方式に関し、特に、各演算装置が仮想記憶機構を備えたマルチプロセッサシステムにおけるメモリ管理方式に関する。

【0002】

【従来の技術】従来この種のメモリ管理方式について図面を参照して説明する。

【0003】図3は、従来の一例を説明するための仮想記憶空間アドレスマップである。図3では32ビットでアドレスを表現し、16台の演算装置それぞれに64メガバイトの物理記憶を実装していることを示す。また、各演算装置間には演算装置間で情報の交換ができる通信機能を持っている。

【0004】本例は、仮想記憶空間0,40000000から0,7fffffの仮想のアドレスをアクセスした場合に、通信機能により他の演算装置にアクセスできるように仮想記憶空間に固定に割り付けたものである。すなわち、仮想アドレス0,40000000から仮想アドレス0,43ffffffでは演算装置10、アドレス0,44000000からアドレス0,47ffffffまでは演算装置11、にそれぞれアクセスされ、以下同様である。

【0005】図4は仮想アドレスのビット構成を示し、32ビットで表現される仮想アドレスは上位2ビットの

2

空ビットと、演算装置番号hを表す4ビットと演算装置番号h内の仮想アドレスiを表す26ビットとから構成される。演算装置番号hが自演算装置の番号でない場合、仮想アドレスiを当該演算装置hへ伝えるには演算装置間通信機能を用いる。

【0006】演算装置番号hは0から15の値をもち、演算装置10は演算装置番号0、演算装置11は演算装置番号1、以下同様である。また、仮想アドレスiが26ビットであるのは、実装している物理記憶の64メガバイトを表すために必要なビット数である。

【0007】このようにして演算装置が16個分のそれぞれの物理記憶の64メガバイトを全て仮想記憶空間に割り付けていた。

【0008】

【発明が解決しようとする課題】上述した従来のマルチプロセッサシステムにおけるメモリ管理方式では、各演算装置の仮想記憶空間の特定の領域を特定の演算装置の仮想記憶空間を参照するように仮想記憶空間を固定で割り当てたため、多くの演算装置を有し、さらに各演算装置が多くの物理記憶空間を持つ、さらに大規模なマルチプロセッサシステム構成の場合には仮想記憶空間の領域が不足してしまうという欠点があった。

【0009】

【課題を解決するための手段】本発明のマルチプロセッサシステムにおけるメモリ管理方式は、仮想記憶機構を有するマルチプロセッサシステムの各演算装置に、各演算装置の仮想記憶空間及び物理記憶空間を固定長の大きさに分割し、固定長単位に変換表を用いて前記仮想記憶空間と前記物理記憶空間との対応をとると共に前記仮想記憶空間と他の演算装置の仮想記憶空間との対応をとるページングメモリ管理手段と、他の演算装置の仮想記憶空間を自らの演算装置の仮想記憶空間に割り付けるよう前記ページングメモリ管理手段を用いて前記変換表に登録する連隔メモリ登録手段と、前記ページングメモリ管理手段で使用する前記変換表に前記仮想記憶空間に登録する際に前記仮想記憶空間の属性と共に登録する記憶空間の保護手段を有している。

【0010】

【実施例】次に本発明の実施例について説明する。図1は、本発明の一実施例を示すブロック図であり、2台の演算装置1、2が仮想記憶空間a、cと物理記憶空間b、dを有するマルチプロセッサシステムである。仮想記憶空間a、b及び物理記憶空間b、dは固定長の大きさに分割され、固定長単位に変換表を用いてそれぞれ仮想記憶空間aから物理記憶空間b、仮想記憶空間cから物理記憶空間dが求められると共に、仮想記憶空間aから仮想記憶空間cも求める事ができる。

【0011】演算装置1内で仮想記憶空間aに対して物理記憶空間b、同じく演算装置2内で仮想記憶空間cから物理記憶空間dを求める方法は、公知のページング方

式と変わらないが、演算装置1と演算装置2の仮想記憶空間aから仮想記憶空間cを求めることが可能である。また、前記変換表は拡張ページングメモリ管理手段3、及び拡張ページングメモリ管理手段6内に存在する。

【0012】演算装置2の仮想記憶空間cを演算装置1の仮想記憶空間aから求め、また演算装置1の記憶空間aを演算装置2の仮想記憶空間cから求めることができる。ページングメモリ管理手段3、6と、ページングメモリ管理手段3、6内の変換表に他の演算装置を仮想記憶空間に登録する途隔メモリ登録手段4、7と、ページングメモリ管理手段3、6、使用する変換表に仮想記憶空間a、cを登録する際に仮想記憶空間a、cの属性を登録する記憶空間保護手段5、8を含んでいる。

【0013】次に本実施例において他の演算装置の仮想記憶空間をアクセスする方法につき具体的に説明する。

【0014】図2は図1の拡張ページングメモリ管理手段3および6に設けられた変換表の1つのページテーブルエントリのフォーマットであり、84ビット構成になっている。物理記憶空間のページナンバ-PFNは自演算装置の物理記憶空間のアドレスの上位20ビット、仮想記憶空間のページナンバーの仮想記憶空間のアドレスの上位20ビットを格納する。物理記憶空間のページナンバ-PFN、仮想記憶空間のページナンバ-VFNの上位ビットで表現されるための本実施例に示すシステムは4Kバイトに対し1エントリ存在することになる。

【0015】ページングテーブルエントリjは、自演算装置の仮想記憶空間に自演算装置がアクセスを要求する時に新規に作成され、アクセスが存在した場合に参照するものとするものである。自演算装置の仮想記憶空間に自演算装置がアクセスした場合には仮想記憶空間が自演算装置の物理記憶空間を指すのが、あるいは他の演算装置の仮想アドレスを指すのかはPFNとVFNの切り替えビットMを読み出すことで行う。さらに、書き込み許可ビットW、読みだし許可ビットRを設定しておくことで他の演算装置からのアクセスがあった場合にアクセスを許可するかどうかの判定を行う。

【0016】また、ある演算装置が他の演算装置の仮想アドレスをアクセスしたい場合にはまずページテーブルエントリjを新規に作成し、作成したページテーブルエントリjのビットMを“1”にしてアクセスしたい他演算装置の仮想アドレスの上位20ビットを仮想記憶空間のページナンバーをVFNの領域に書き込むと共に、書き込み許可ビットW、読みだし許可をビットRを書き込む。1つのページテーブルエントリに対して4kバイトの領域までしか管理できないため、4kバイトを超える領域にアクセスしたい場合には複数のページテーブルエントリを作成する。

【0017】各演算装置1、2は実際に作成されたページテーブルエントリにアクセスが生じた場合にはまずビットMを読み出す。ビットMが“0”の時は自演算装置の物理記憶空間を指しているため物理記憶空間のページナンバー-PFNを読み出す。ビットMが“1”の時は仮想記憶空間のページナンバー-VFNと演算装置番号PEIDを読み出し、演算装置番号PEIDを持つ演算装置へ仮想記憶空間のページナンバー-VFNを演算装置間通信機能を用いて伝える。

【0018】仮想記憶空間のページングナンバテーブルエントリを読み出し、読み出したページエントリの中の書き込み許可ビットRを読み出し、アクセス可能であるかどうかを判断し、不要なメモリアクセスをなくしメモリ領域の保護を行う。

【0019】

【発明の効果】本発明によると、他の演算装置の仮想記憶空間を固定長単位に自らの演算装置の変換表に登録し仮想記憶空間に割り当てるため、アクセスする必要のない他の演算装置の仮想記憶空間を自らの仮想記憶空間に割り当てることがなくなり、無駄な自演算装置の仮想記憶空間の使用を回避でき各演算装置の物理記憶空間の増大、さらにはマルチプロセッサシステムを構成する演算装置の台数の増加に用意に対応できるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図である。

【図2】図1に示した実施例における仮想記憶空間を管理するテーブルを示す図である。

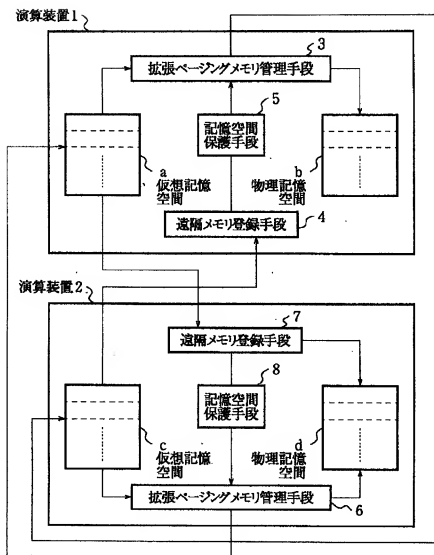
【図3】従来の一例を説明するための仮想記憶空間のアドレスマップである。

【図4】従来の一例における仮想アドレスのビット割りを示す図である。

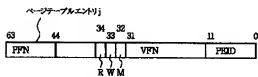
【符号の説明】

- 1、2 演算装置
- 3、6 ページングメモリ管理手段
- 4、7 途隔メモリ登録手段
- 5、8 記憶空間保護手段
- 10～25 各演算装置への仮想アドレス空間の固定メモリマップ
- a、c、e 仮想記憶空間
- b、d、f 物理記憶空間
- g、i 仮想アドレス
- PFN 物理記憶空間のページングナンバ
- VFN 仮想記憶空間のページングナンバ
- h、PEID 演算装置番号
- R 読みだし許可ビット
- W 書き込み許可ビット
- M PFNとVFNの切り替えビット

【図1】



【図2】



PFN: 物理記憶空間のページナンバー

VFN: 仮想記憶空間のページナンバー

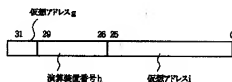
PEID: 演算装置番号

R: 読み出し許可ビット

W: 書き込み許可ビット

M: PFNとVFNの切り替えビット

【図4】



【図3】

